

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroyuki KIMURA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: FLAT PANEL DISPLAY DEVICE HAVING DIGITAL MEMORY PROVIDED IN EACH PIXEL

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

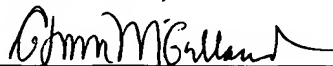
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-200129	July 9, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 9日

出 願 番 号

Application Number:

特願2002-200129

[ST.10/C]:

[JP2002-200129]

出 願 人

Applicant(s):

株式会社東芝

2003年 3月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3014065

【書類名】 特許願

【整理番号】 5JB023126

【提出日】 平成14年 7月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 平面表示装置の駆動方法

【請求項の数】 3

【発明者】

 【住所又は居所】 埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝 深谷工場内

 【氏名】 木村 裕之

【発明者】

 【住所又は居所】 埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝 深谷工場内

 【氏名】 網島 貴徳

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100083806

 【弁理士】

 【氏名又は名称】 三好 秀和

 【電話番号】 03-3504-3075

【選任した代理人】

 【識別番号】 100068342

 【弁理士】

 【氏名又は名称】 三好 保男

【選任した代理人】

 【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 平面表示装置の駆動方法

【特許請求の範囲】

【請求項 1】 マトリクス状に配置された複数の走査線及び複数の信号線、このマトリクスの各格子毎に配置された画素電極、前記走査線に供給される走査信号により前記信号線と前記画素電極間を導通させて前記信号線に供給された第 1 の映像データを前記画素電極に書き込む、前記各格子毎に設けられた画素スイッチ素子、前記画素電極に書き込む第 2 の映像データを保持するデジタルメモリを有するアレイ基板と、前記画素電極と対向して形成された共通電極を有する対向基板と、前記 2 つの基板間に保持された表示層とを備えた平面表示装置に対して、通常表示期間では、前記信号線に供給された第 1 の映像データを前記画素電極に書き込むことで表示を行い、静止画表示期間では、前記デジタルメモリに保持させた第 2 の映像データを前記画素電極に書き込むことで表示を行う平面表示装置の駆動方法において、

前記静止画表示期間の先頭から少なくとも 2 フレームを前記第 2 の映像データの前記デジタルメモリへの書き込みフレームとし、

且つ前記静止画表示期間では、前記デジタルメモリから前記第 2 の映像データを取り出すためのメモリ制御信号の立ち上がり時間、及び前記共通電極に与える共通信号の立ち上がり時間を、少なくとも垂直ブランキング期間よりも長くすることを特徴とする平面表示装置の駆動方法。

【請求項 2】 前記デジタルメモリは、内部に保持する第 2 の映像データを出力／反転出力として取り出すための 2 つのメモリスイッチを有するものであり、

前記メモリ制御信号により、前記 2 つのメモリスイッチをフレーム周期で交互にオンして、前記デジタルメモリに保持された前記第 2 の映像データを交互に出力／反転出力として取り出して前記画素電極に書き込むことを特徴とする請求項 1 に記載の平面表示装置の駆動方法。

【請求項 3】 前記静止画表示期間では、フレーム周期で前記第 2 の映像データの極性と前記共通信号の極性とを互いに逆極性となるように反転させるこ

とを特徴とする請求項 1 又は 2 に記載の平面表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、携帯電話や電子ブック等に使用される高画質、低消費電力な平面表示装置の駆動方法に関し、詳しくはデジタルメモリを備えた液晶表示装置の駆動方法に関する。

【0002】

【従来の技術】

近年、液晶表示装置は、軽量、薄型、低消費電力という利点を活かして携帯電話や電子ブック等の小型情報端末のディスプレイとして普及しつつある。このような小型情報端末は、一般にバッテリー駆動されることから、低消費電力化が重要な課題となっている。

【0003】

とくに携帯電話においては、待ち受け時間中に低消費電力で表示できることが求められている。これを実現するための技術として、例えば特開 2 0 0 1 - 2 6 4 8 1 4 号公報には、画素内にデジタルメモリを設け、待ち受け時（以下、静止画表示時）には、液晶を交流駆動するための交流駆動回路のみを動作させ、前記デジタルメモリに保持したデータを用いて静止画表示を行い、この間、他の周辺駆動回路を止めるように構成された液晶表示装置が開示されている。これによれば、静止画表示の間は交流駆動回路のみをフレーム周期で動作させればよいので、消費電力の低減を図ることが可能となっている。

【0004】

【発明が解決しようとする課題】

上記特開 2 0 0 1 - 2 6 4 8 1 4 号の液晶表示装置では、静止画表示の間に交流駆動回路のみをフレーム周期で動作させる際、デジタルメモリからデータを取り出すためのメモリ制御信号の立ち上がり時間と、コモン電極に与えるコモン信号の立ち上がり時間をそれぞれ長くすることにより、信号発生回路の消費電力を下げ、更に消費電力の低減を図っている。

【 0 0 0 5 】

しかしながら、メモリ制御信号やコモン信号の立ち上がり時間は、通常の間調表示や動画表示（以下、通常表示）から静止画表示へ切り替わる際のブランキング期間内に納める必要がある。メモリ制御信号の立ち上がり時間がブランキング期間よりも長くなると、静止画データの書き込みフレームで、デジタルメモリに正常に静止画データを書き込めなくなる、いわゆる書き込みエラーが生じるからである。このように、従来方式においては、立ち上がり時間の最大値が通常表示時のブランキング期間により制限を受けることになるため、立ち上がり時間をこのブランキング時間よりも長くすることができず、静止画表示時において更なる低消費電力化を達成することが難しいという課題があった。

【 0 0 0 6 】

ちなみに、メモリ制御信号やコモン信号の立ち上がり時間を長くするのに合わせて、通常表示時のブランキング期間を長くすることも考えられる。この場合、静止画データの書き込みエラーはなくなるが、通常表示時における書き込みクロックの周波数が高くなるため、通常表示時の消費電力が増えてしまうことになり、有効な解決策にはならない。

【 0 0 0 7 】

この発明の目的は、通常表示時の消費電力を増やすことなしに、静止画表示時において更なる低消費電力化を達成することができる平面表示装置の駆動方法を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

上記課題を解決するため、請求項 1 の発明は、マトリクス状に配置された複数の走査線及び複数の信号線、このマトリクスの各格子毎に配置された画素電極、前記走査線に供給される走査信号により前記信号線と前記画素電極間を導通させて前記信号線に供給された第 1 の映像データを前記画素電極に書き込む、前記各格子毎に設けられた画素スイッチ素子、前記画素電極に書き込む第 2 の映像データを保持するデジタルメモリを有するアレイ基板と、前記画素電極と対向して形成されたコモン電極を有する対向基板と、前記 2 つの基板間に保持された表示

層とを備えた平面表示装置に対して、通常表示期間では、前記信号線に供給された第1の映像データを前記画素電極に書き込むことで表示を行い、静止画表示期間では、前記デジタルメモリに保持させた第2の映像データを前記画素電極に書き込むことで表示を行う平面表示装置の駆動方法において、前記静止画表示期間の先頭から少なくとも2フレームを前記第2の映像データの前記デジタルメモリへの書き込みフレームとし、且つ前記静止画表示期間では、前記デジタルメモリから前記第2の映像データを取り出すためのメモリ制御信号の立ち上がり時間、及び前記コモン電極に与えるコモン信号の立ち上がり時間を、少なくとも垂直ブランキング期間よりも長くすることを特徴とする平面表示装置の駆動方法である。

【 0 0 0 9 】

好ましい形態として、前記メモリ制御信号の立ち上がり時間と立ち下がり時間、及び前記コモン信号の立ち上がり時間と立ち下がり時間を、少なくとも垂直ブランキング期間よりも長くする。

【 0 0 1 0 】

好ましい形態として、立ち上がり時間を少なくとも垂直ブランキング期間よりも長くしたメモリ制御信号とコモン信号を、静止画表示期間直前の垂直ブランキング期間から供給する。

【 0 0 1 1 】

請求項2の発明は、請求項1において、前記デジタルメモリは、内部に保持する第2の画像データを出力／反転出力として取り出すための2つのメモリスイッチを有するものであり、前記メモリ制御信号により、前記2つのメモリスイッチをフレーム周期で交互にオンして、前記デジタルメモリに保持された前記第2の画像データを交互に出力／反転出力として取り出して前記画素電極に書き込むことを特徴とする。

【 0 0 1 2 】

請求項3の発明は、請求項1又は2において、前記静止画表示期間では、フレーム周期で前記第2の映像データの極性と前記コモン信号の極性とを互いに逆極性となるように反転させることを特徴とする。

【 0 0 1 3 】

【発明の実施の形態】

以下、この発明に係わる平面表示装置の駆動方法を、デジタルメモリを備えたアクティブマトリクス型液晶表示装置の駆動方法に適用した場合の実施形態について説明する。

【 0 0 1 4 】

なお、本実施形態においては、通常表示において中間調表示や動画表示を行うための第1の映像データを動画データという。また、静止画表示において黒表示又は白表示を行うための第2の映像データ（二値データ）を静止画データという。また、前記動画データと静止画データを総称して映像データという。

【 0 0 1 5 】

図2は、本実施形態に係わるアクティブマトリクス型液晶表示装置の回路構成図であり、図3は図2の概略断面図である。

【 0 0 1 6 】

この液晶表示装置100は、複数の表示画素10が形成された表示画素部110、走査線駆動回路120及び信号線駆動回路130により構成されている。

【 0 0 1 7 】

この実施形態の走査線駆動回路120及び信号線駆動回路130は、アレイ基板101（図3）上において、後述する信号線11、走査線12及び画素電極13と一体に形成されている。ただし、走査線駆動回路120及び信号線駆動回路130は、図示しない外部回路基板上に配置されていてもよい。

【 0 0 1 8 】

表示画素部110は、アレイ基板101上に複数本の信号線11及びこれと交差する複数本の走査線12が図示しない絶縁膜を介してマトリクス状に配置されており、前記マトリクスの各格子毎に表示画素10が形成されている。

【 0 0 1 9 】

表示画素10は、画素電極13、画素スイッチ素子14、コモン電極15、液晶層16、デジタルメモリスイッチ回路（以下、DMスイッチ回路）17及びデジタルメモリ（以下、DM）18により構成されている。

【 0 0 2 0 】

表示画素 1 0 において、画素スイッチ素子 1 4 のソースは信号線 1 1 に、ゲートは走査線 1 2 に、ドレインは画素電極 1 3 にそれぞれ接続されている。また画素電極 1 3 は DM スwitch 回路 1 7 を介して DM 1 8 に接続されており、その DM スwitch 回路 1 7 のゲートはメモリ制御信号線 1 9 に、ソースは画素電極 1 3 に、ドレインは DM 1 8 にそれぞれ接続されている。なお、画素電極 1 3 には電氣的に並列に図示しない補助容量が接続されている。

【 0 0 2 1 】

また、メモリ制御信号線 1 9 は、後述するように 1 9 a, 1 9 b として 2 本配線されているが、図 3 では説明を容易にするために 1 本のメモリ制御信号線 1 9 として図示している。

【 0 0 2 2 】

各画素電極 1 3 はアレイ基板 1 0 1 上に形成されている。また、すべての画素電極 1 3 と相対する共通のコモン電極 1 5 は対向基板 1 0 2 (図 3) 上に形成されている。コモン電極 1 5 には、図示しない外部回路基板上に配置された信号発生回路から、表示モードに応じて所定電位のコモン信号が与えられている。

【 0 0 2 3 】

本実施形態では、通常表示期間において、H ライン反転駆動により動画データの書き込みを行っているため、1 水平走査期間毎に動画データと逆極性となるようにコモン信号の極性を反転させている。また、静止画表示期間では静止画データと逆極性となるようにコモン信号の極性をフレーム周期で反転させている。この静止画表示期間では、低消費電力化のために、コモン信号の立ち上がり時間及び立ち下がり時間(以下、単に立ち上がり時間という)を垂直ブランキング期間よりも長くしている。なお、コモン信号の立ち上がり時間のみを長くした場合でも、消費電力を低減することができる。

【 0 0 2 4 】

また、画素電極 1 3 とコモン電極 1 5 の間には表示層として液晶層 1 6 が保持され、アレイ基板 1 0 1 及び対向基板 1 0 2 の周囲はシール材 1 0 3 により封止されている。なお、図 3 では配向膜や偏光板などの図示は省略している。

【 0 0 2 5 】

走査線駆動回路 1 2 0 は、シフトレジスタ 1 2 1 及び図示しないバッファ回路などで構成されており、図示しない外部回路基板上に配置されたコントロール IC からコントロール信号として供給される Y クロック信号（垂直クロック信号）、Y スタート信号（垂直スタート信号）に基づいて、各走査線 1 2 に対し一水平走査期間毎に走査信号を出力する。この走査信号により走査線 1 2 はオンレベルとなり、その走査線 1 2 に接続するすべての画素スイッチ素子 1 4 はオン（導通）状態となる。

【 0 0 2 6 】

走査線駆動回路 1 2 0 では、通常表示時には、走査信号を供給して走査線 1 2 を順にオンレベルとし、静止画表示時には、すべての走査線 1 2 をオフレベルとする。なお、メモリ制御信号線 1 9 には、前記コントロール IC から図示しない信号発生回路を介して伝送されたメモリ制御信号が供給されている。

【 0 0 2 7 】

前記コントロール IC は、表示モードに応じて、メモリ制御信号線 1 9 にオン又はオフレベルのメモリ制御信号を供給し、DM スイッチ回路 1 7 のオン／オフを制御している。

【 0 0 2 8 】

本実施形態では、通常表示時には、メモリ制御信号線 1 9 をオフレベルとし、静止画表示時には、メモリ制御信号線 1 9 をフレーム周期で交互にオン／オフレベルとしている。このとき、低消費電力化のため、オンレベルとなるメモリ制御信号では、信号パルスの立ち上がり時間及び立ち下がり時間（以下、単に立ち上がり時間という）を、垂直ブランキング期間よりも長くしている。なお、メモリ制御信号の立ち上がり時間のみを長くした場合でも、消費電力を低減することができる。

【 0 0 2 9 】

上記メモリ制御信号やコモン信号の立ち上がり時間は、前記信号発生回路の出力インピーダンスを増やし、電流を絞ることで長くすることができる。

【 0 0 3 0 】

信号線駆動回路 1 3 0 は、シフトレジスタ 1 3 1、A S W（アナログスイッチ）1 3 2 などで構成されており、図示しないコントロール I C からコントロール信号として X クロック信号（水平クロック信号）、X スタート信号（水平スタート信号）が供給されると共に、前記コントロール I C からビデオバス 1 3 3 を通じて映像データが供給されている。信号線駆動回路 1 3 0 では、X クロック/X スタート信号に基づいて、シフトレジスタ 1 3 1 から A S W 1 3 2 にオン・オフ信号を供給することにより、ビデオバス 1 3 3 から供給される映像データを信号線 1 1 にサンプリングする。

【 0 0 3 1 】

ここで、通常表示を行う場合の動作について簡単に説明する。走査線駆動回路 1 2 0 から走査信号を出力して、各走査線 1 2 を一水平走査期間毎に上から順にオンレベルとすると、オンレベルとなった走査線 1 2 に接続するすべての画素スイッチ素子 1 4 をオン状態となる。これと同期して信号線 1 1 に動画データをサンプリングすると、サンプリングされた動画データは画素スイッチ素子 1 4 を通じて画素電極 1 3 に書き込まれる。この動画データは画素電極 1 3 とコモン電極 1 5（及び図示しない補助容量）との間に書き込み電圧として充電され、この書き込み電圧の大きさに応じて液晶層 1 6 が応答することで各表示画素 1 0 からの透過光量が制御される。このような書き込み動作を一フレーム期間内にすべての走査線 1 2 について実施することにより、一画面分の映像が完成する。

【 0 0 3 2 】

次に、表示画素 1 0 の回路構成について説明する。図 4 は、表示画素 1 0 の回路構成図であり、図 2 及び図 3 と同等部分を同一符号で示している。

【 0 0 3 3 】

D M スイッチ回路 1 7 は、2 つのスイッチ素子 2 1、2 2 で構成され、D M 1 8 の出力端子 2 7 及び反転出力端子 2 8 と、画素電極 1 3 との間に挿入されている。D M スイッチ回路 1 7 において、スイッチ素子 2 1 のゲートはメモリ制御信号線 1 9 a に接続され、スイッチ素子 2 2 のゲートはメモリ制御信号線 1 9 b にそれぞれ接続されている。そして、メモリ制御信号線 1 9 a、1 9 b に対し図示しないコントロール I C からメモリ制御信号が供給されることで、スイッチ素子

2 1、2 2 は独立して制御される。

【 0 0 3 4 】

DM 1 8 は、2 つのインバータ回路 2 3、2 4 と、DM 内部スイッチ素子 2 5 で構成されている。このうち、DM 内部スイッチ素子 2 5 は、画素スイッチ素子 1 4 とは逆チャンネルのスイッチ素子であり、これら 2 つのスイッチ素子は C M O S トランジスタで構成されている。また、DM 内部スイッチ素子 2 5 のゲートは、画素スイッチ素子 1 4 のゲートと同じ走査線 1 2 に接続され、ここに供給される走査信号により同時にオン／オフが制御される。ただし、画素スイッチ素子 1 4 と DM 内部スイッチ素子 2 5 のオン／オフは互いに反転の関係にある。すなわち、画素スイッチ素子 1 4 がオンすると、DM 内部スイッチ素子 2 5 はオフとなり、画素スイッチ素子 1 4 がオフすると、DM 内部スイッチ素子 2 5 はオンとなる。

【 0 0 3 5 】

インバータ回路 2 3、2 4 の正極性側と負極性側には、それぞれ図示しない正電源配線と負電源配線が接続され、図示しない電源回路から H i g h 電源電圧と L o w 電源電圧が供給されている。後述する静止画書き込みフレームにおいて、DM 1 8 の出力端子 2 7 から入力した静止画データが黒表示に対応する書き込み電圧とすると、例えば、インバータ回路 2 3 の出力側には H i g h 電源電圧が保持され、インバータ回路 2 4 の出力側には L o w 電源電圧が保持される。また、入力した静止画データが白表示に対応する書き込み電圧とすると、例えば、インバータ回路 2 3 の出力側には L o w 電源電圧が保持され、インバータ回路 2 4 の出力側には H i g h 電源電圧が保持される。このようにして、各表示画素 1 0 毎に、黒表示又は白表示に対応する電源電圧が静止画データとして保持されることになる。

【 0 0 3 6 】

次に、上記ように構成された液晶表示装置 1 0 0 の動作を図 1 に示す信号波形のタイミングチャートを参照しながら説明する。

【 0 0 3 7 】

通常表示期間では、メモリ制御信号線 1 9 a、1 9 b をともにオフレベルとし

、DMスイッチ回路17をオフ状態とする。この間は、走査線駆動回路120及び信号線駆動回路130に対し、それぞれX/Yのクロック信号、スタート信号、及び動画データを供給して駆動を行うことにより、フルカラーによる中間調／動画表示を行う。この通常表示期間では、一水平走査期間毎に走査線駆動回路120から順に走査信号が出力されるため、動画データは水平1ライン毎に書き込まれる。なお、通常表示期間におけるHライン反転駆動では、動画データは水平1ライン毎に順番に極性が反転され、これに同期してコモン信号の極性も反転される。

【0038】

一方、通常表示から静止画表示に切り替える際は、静止画表示期間の先頭から2フレームを静止画データの書き込みフレームとし、同一の静止画データを2フレーム続けて書き込んでいる。すなわち、画素スイッチ素子14が走査信号によりオン状態となっている2フレームの間に、信号線11に静止画データをサンプリングし、これを画素スイッチ素子14及びスイッチ素子21を通じてDM18に書き込んでいる。この2フレームでは、メモリ制御信号線19aをオンレベル、メモリ制御信号線19bをオフレベルとする。

【0039】

DM18に静止画データを書き込んだ後は、走査線12をオフレベルとし、画素スイッチ素子14をオフ、DM内部スイッチ素子25をオンとする。これにより、インバータ回路23、24はループ接続される。先に説明したように、インバータ回路23、24のそれぞれの出力側に保持されたHigh電源電圧、Low電源電圧は、このループ回路の中で保持されることになる。

【0040】

静止画データ書き込み後の静止画表示期間においては、メモリ制御信号線19aをオフレベル、メモリ制御信号線19bをオンレベルとして、DM18に保持されている静止画データを、オン状態のDM内部スイッチ素子25から出力端子27を通じて取り出す。この静止画データは、DMスイッチ回路17のスイッチ素子21を通じて画素電極13に書き込まれる。また静止画表示期間、図示しないコントロールICから走査線駆動回路120及び信号線駆動回路130へのコ

ントロール信号や映像データの供給は停止している。

【 0 0 4 1 】

静止画表示期間において、画素電極 1 3 に書き込まれた静止画データは、短時間であればこの状態で保持することもできるが、長時間保持すると直流成分により液晶層 1 6 が劣化するため、静止画表示期間においても交流駆動する必要がある。本実施形態では、静止画表示期間において、フレーム周期でメモリ制御信号線 1 9 a、同 1 9 b を交互にオンレベルとすることによって、スイッチ素子 2 1、2 2 を交互にオンし、この周期に合わせてコモン電極 1 5 に与えるコモン信号の極性を反転させることで交流駆動を実現している。

【 0 0 4 2 】

このように、スイッチ素子 2 1、2 2 を交互にオンすることで、画素電極 1 3 の電位は H i g h 電源電位 / L o w 電源電位が交互に出力され、これと同期させてコモン電極 1 5 の電位を H i g h 電源 / L o w 電源間でシフトすることにより、コモン電極 1 5 と極性が同じ表示画素 1 0 では液晶層 1 6 に電圧がかからず、逆極性の表示画素 1 0 では液晶層 1 6 に電圧がかかるため、黒又は白の二値表示を行うことができる。

【 0 0 4 3 】

上記のような駆動方法によれば、静止画表示期間において、表示画素部 1 1 0 で動作しているのは、低周波数のメモリ制御信号線 1 9 とコモン電極 1 5 だけであるため、静止画表示期間では、低消費電力でマルチカラー表示を行うことができる。

【 0 0 4 4 】

また本実施形態では、静止画表示期間の先頭から 2 フレームを静止画データの書き込みフレームとしているため、オンレベルとなるメモリ制御信号及びコモン信号の立ち上がり時間を垂直ブランキング期間よりも長くした場合に、1 フレーム目で静止画データを DM 1 8 へ十分に書き込むことが出来なかったとしても、2 フレームで同一の静止画データの書き込みが行われるため、DM 1 8 に正常な静止画データを書き込むことができる。

【 0 0 4 5 】

したがって、通常表示時のブランキング期間を長くしたときのように、通常表示時の消費電力を増やすことなしに、静止画表示時において更なる低消費電力化を達成することができる。

【 0 0 4 6 】

なお、本実施形態では、静止画表示期間の先頭から2フレームを静止画データの書き込みフレームとした例について示したが、先頭の3フレーム又はそれ以上の数フレームを静止画データの書き込みフレームとしてもよい。

【 0 0 4 7 】

また、画素電極13を金属薄膜で構成された光反射型の画素電極とした場合はバックライトが不要となるため、バックライトを用いた透過型の構成に比べて、さらに低消費電力での駆動が可能となる。ちなみに、対角5cm、25万画素の液晶パネルについてフレーム周波数60Hzで静止画表示を行ったところ、静止画表示期間（待ち受け時）の消費電力を1.3mWとすることができた。さらに、静止画データの書き込みを2フレームで行うと共に、図示しない信号発生回路の出力インピーダンスを増やし、電流を絞ることでメモリ制御信号やコモン信号の立ち上がり時間を長くしたところ、静止画データの書き込みエラーを生じることなしに、静止画表示期間の消費電力を0.5mWとすることができた。

【 0 0 4 8 】

また、本実施形態では、表示層として液晶層を備えた液晶表示装置の駆動方法として説明したが、本発明は、その他の表示層を備えた平面表示装置にも適用することができる。例えば、電極基板上に有機ELを形成した構造の平面表示装置、或いは対向配置された2の電極基板間に有機ELを保持した構造の平面表示装置にも適用することができる。

【 0 0 4 9 】

【発明の効果】

以上説明したように、この発明に係わる平面表示装置の駆動方法では、静止画表示期間の先頭から少なくとも2フレームを静止画データの書き込みフレームとしたため、メモリ制御信号とコモン信号の立ち上がり時間を長くした場合でも、デジタルメモリに正常な静止画データを書き込むことができる。したがって、

通常表示時のブランキング期間を長くしたときのように、通常表示時の消費電力を増やすことなしに、静止画表示時において更なる低消費電力化を達成することができる。

【図面の簡単な説明】

【図 1】

液晶表示装置の動作を示す信号波形のタイミングチャート。

【図 2】

実施形態に係わるアクティブマトリクス型液晶表示装置の回路構成図。

【図 3】

図 2 の概略断面図。

【図 4】

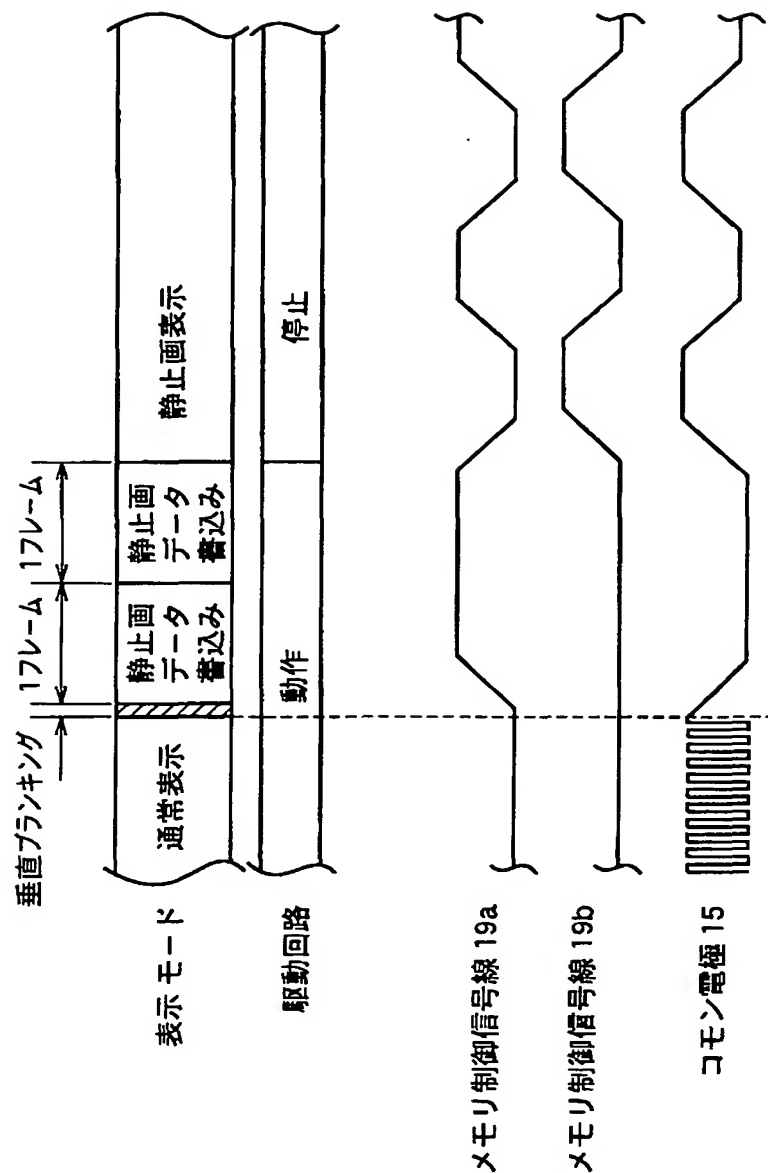
表示画素の回路構成図。

【符号の説明】

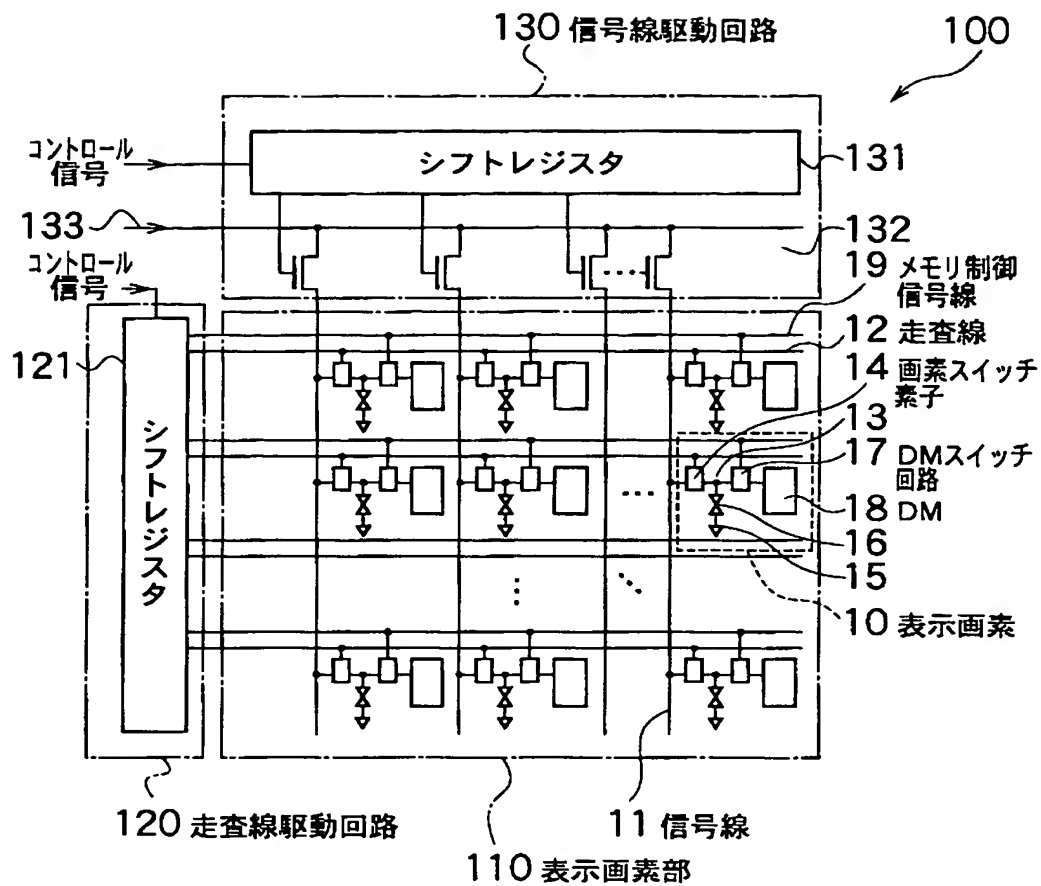
1 0 …表示画素、 1 1 …信号線、 1 2 …走査線、 1 3 …画素電極、 1 4 …画素スイッチ素子、 1 8 …デジタルメモリ（DM）、 1 9 …メモリ制御信号線、 1 1 0 …表示画素部、 1 2 0 …走査線駆動回路、 1 3 0 …信号線駆動回路

【書類名】 図面

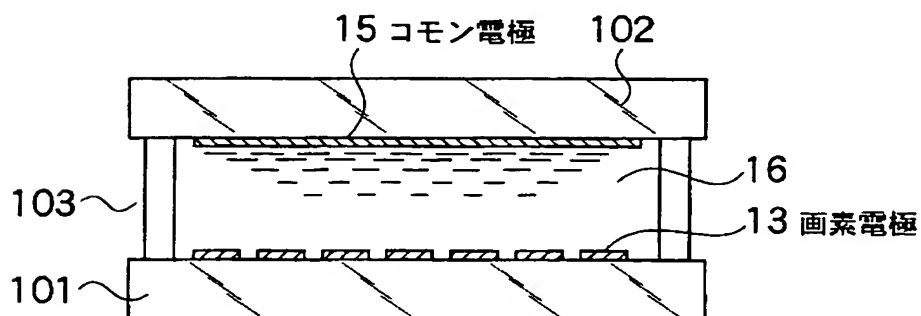
【図 1】



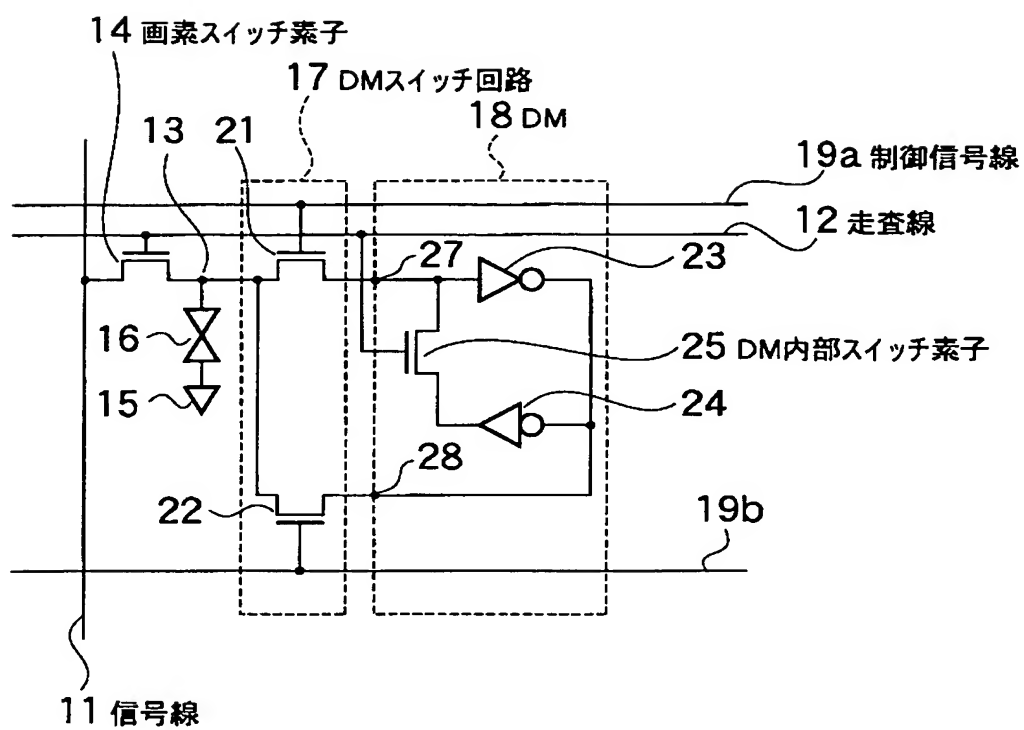
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 デジタルメモリを備えた液晶表示装置において、静止画表示時において更なる低消費電力化を達成する。

【解決手段】 静止画表示期間の先頭から少なくとも2フレームを静止画データの書き込みフレームとすることにより、メモリ制御信号及びコモン信号の立ち上がり時間を垂直ブランキング期間より長くした場合でも、DM18に正常な静止画データが書き込めるようにした。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日 2 0 0 1 年 7 月 2 日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目 1 番 1 号
氏 名 株式会社東芝